**Relatório ULA**

Lucas de Sá Gomes Lício – 211043342

A ideia do trabalho é, por meio de uma simulação, implementar o comportamento de uma Unidade Lógica e Aritmética (ULA) em VHDL. A ULA desenvolvida engloba as seguintes operações: ADD, SUB, AND, OR, XOR, SLL, SRL, SRA, SLT, SLTU, SGE, SGEU, SEQ e SNE. Nesse trabalho foi utilizado o VSCode para criar o código da ULA e o ModelSim para simular os sinais de entrada e realizar os testes.

**Diferença entre comparações com e sem sinal**

Quando trabalhamos com números com sinal, consideramos o bit mais significativo (MSB) como indicativo de sinal, 1 para números negativos e 0 para números positivos. Dessa forma, conseguimos distinguir o sinal e comparar as magnitudes. No entanto, para números com sinal (signed), como um bit representa o sinal, o intervalo de números que podem ser representados cai pela metade, uma vez que estamos falando de potência de dois no bit mais significativo.

**Como detectar overflow**

O overflow não foi mapeado nessa implementação, mas um bit poderia representar o overflow à nível de hardware, enquanto visualmente é bem perceptível a inconsistência de resultado quando ele ocorre.